

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DE 19623826

2/9/1

DIALOG(R) File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

011626229 **Image available** WPI Acc No: 1998-043357/199805

Related WPI Acc No: 1997-147232 XRPX Acc No: N98-034574

Carrier for semiconductor chip mfr. esp. for construction of smart cards
- has laminated reinforcing film with recess for chip and connection
leads with integral frame formed on edge

Patent Assignee: SIEMENS AG (SIEI) ; INFINEON TECHNOLOGIES AG (INFN)

Inventor: FISCHER J; GRAF H; HEITZER J; HOUDEAU D; HUBER M; STAPKA P; STAMPKA P

Number of Countries: 013 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19623826	A1	19971218	DE 1023826	A	19960614	199805 B
EP 904602	A1	19990331	EP 97925908	A	19970610	199917
			WO 97DE1170	A	19970610	
CN 1222253	A	19990707	CN 97195504	A	19970610	199945
BR 9709717	A	19990810	BR 979717	A	19970610	199953
			WO 97DE1170	A	19970610	
DE 19623826	C2	20000615	DE 1023826	A	19960614	200032
JP 2000512045	W	20000912	WO 97DE1170	A	19970610	200050
			JP 98501065	A	19970610	
MX 9810255	A1	19990701	MX 9810255	A	19981204	200061
KR 2000016639	A	20000325	WO 97DE1170	A	19970610	200104
			KR 98710238	A	19981214	
EP 904602	B1	20020130	EP 97925908	A	19970610	200209
			WO 97DE1170	A	19970610	
DE 59706247	G	20020314	DE 506247	A	19970610	200220
			EP 97925908	A	19970610	
			WO 97DE1170	A	19970610	
KR 358579	B	20021218	WO 97DE1170	A	19970610	200336
			KR 98710238	A	19981214	
MX 208125	B	20020603	WO 97DE1170	A	19970610	200366
			MX 9810255	A	19981204	

Priority Applications (No Type Date): DE 1023826 A 19960614; DE 96U2021837
U 19961216; WO 97DE1170 A 19970610

Patent Details:

Patent No	Kind	Lat Pg	Main IPC	Filing Notes
DE 19623826	A1	6	H01L-021/58	
EP 904602	A1 G		H01L-023/498	Based on patent WO 9748133 Designated States (Regional): AT CH DE ES FR GB IT LI
CN 1222253	A		H01L-023/498	
BR 9709717	A		H01L-023/498	Based on patent WO 9748133
DE 19623826	C2		H01L-023/04	
JP 2000512045	W	12	G06K-019/077	Based on patent WO 9748133
MX 9810255	A1		H01L-023/498	
KR 2000016639	A		H01L-023/498	Based on patent WO 9748133
EP 904602	B1 G		H01L-023/498	Based on patent WO 9748133 Designated States (Regional): AT CH DE ES FR GB IT LI
DE 59706247	G		H01L-023/498	Based on patent EP 904602 Based on patent WO 9748133
KR 358579	B		H01L-023/498	Previous Publ. patent KR 2000016639 Based on patent WO 9748133
MX 208125	B		G06K-019/077	

Abstract (Basic): DE 19623826 A

The carrier sheet for a semiconductor chip (23) has a substrate

(15). A reinforcing foil or film (10) is laminated on the chip side of the substrate (15). The foil has a recess (14) to receive the chip and its connecting leads (24). The edge of the recess has a frame (12) formed integrally with the foil. The substrate may be a metal foil.

Alternatively it may be a non-conductive foil on which a conductive foil (20) structured in contact surfaces is laminated. The reinforcing foil may be made of metal or plastic. To manufacture the carrier element, a recess (11) is formed in the reinforcing foil. The base of the recess is punched out. The resulting reinforcing foil with the frame at its edge is laminated on the substrate.

ADVANTAGE - High resistance to bending and simpler manufacture.

Dwg.3/4

Title Terms: CARRY; SEMICONDUCTOR; CHIP; MANUFACTURE; CONSTRUCTION; SMART; CARD; LAMINATE; REINFORCED; FILM; RECESS; CHIP; CONNECT; LEAD; INTEGRAL; FRAME; FORMING; EDGE

Derwent Class: T04; U11; U14; V04

International Patent Class (Main): G06K-019/077; H01L-021/58; H01L-023/04; H01L-023/498

International Patent Class (Additional): H01L-021/48; H01L-023/12; H01L-023/24; H01L-023/28

File Segment: EPI

Manual Codes (EPI/S-X): T04-K01; U11-D01A7; U11-E01B; U11-E02A3; U14-H01D

⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift
⑯ DE 196 23 826 A 1

⑯ Int. Cl. 6:
H 01 L 21/58
G 08 K 19/077

DE 196 23 826 A 1

⑯ Aktenzeichen: 196 23 826.9
⑯ Anmeldetag: 14. 6. 96
⑯ Offenlegungstag: 18. 12. 97

⑯ Anmelder:
Siemens AG, 80333 München, DE

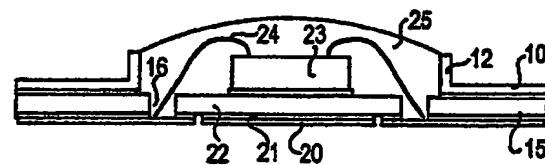
⑯ Erfinder:
Huber, Michael, 93152 Nittendorf, DE; Stampka, Peter, Dipl.-Ing. (FH), 92421 Schwandorf, DE

⑯ Entgegenhaltungen:
FR 26 44 630
US 51 47 982
WO 91 01 533

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Trägerelement für Halbleiterchips sowie Verfahren zur Herstellung eines Trägerelements

⑯ Trägerelement für einen Halbleiterchip (23), insbesondere zum Einbau in Chipkarten, mit einem den Chip (23) tragenden Substrat (15) und einer auf der den Chip (23) tragenden Seite des Substrats (15) auflaminierter Versteifungsfolie (10), die eine den Chip (23) und seine Anschlußleitungen (24) aufnehmende Ausnehmung (14) aufweist, deren Rand mit einem einstückig mit der Folie (10) ausgebildeten Rahmen (12) versehen ist.



DE 196 23 826 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 10.97 702 051/284

5/23

Beschreibung

Bei heutigen Chipkarten werden die Halbleiterchips mittels eines zumeist mit einem nicht-leitenden, flexiblen Substrat gebildeten Trägerelements in die üblicherweise aus Kunststoff bestehende Karte eingebracht. Auf dem Trägerelement ist nicht nur der Halbleiterchip sondern es sind auch die Kontaktflächen, mit denen der Halbleiterchip von einem Lesegerät kontaktiert werden kann, angeordnet. Hierzu wird üblicherweise eine oberflächenveredelte Kupferfolie auf das nicht-leitende Substrat laminiert und beispielsweise durch Ätzen strukturiert. In das nicht-leitende Substrat werden vor dem Laminieren Löcher gestanzt, durch die hindurch der Chip beispielsweise mittels Drähte in Wire-Bond-Technik mit den Kontaktflächen elektrisch leitend verbunden werden kann. Der Halbleiterchip und die Drähte werden dann durch eine schützende Vergussmasse abgedeckt.

Die Chipkarten müssen bestimmte, durch die Anwender vorgegebene Biegebelastungen bestehen können. Die hierbei auftretenden Biegekräfte müssen jedoch vom Chip ferngehalten werden, da dieser wesentlich spröder als das Kartenmaterial ist. Dies trifft insbesondere für Chips zu, die größer als etwa 10 mm² sind. Aus der EP 0 484 353 B1 ist es bekannt, hierzu auf dem flexiblen Substrat einen Versteifungsrahmen vorzusehen, der eine wesentlich höhere Biegesteifigkeit aufweist als das flexible Trägersubstrat.

Die Fig. 4 zeigt eine Ausführungsform gemäß der EP 0 484 353 B1. Das nicht-leitende, flexible Trägersubstrat 1 ist mit Ausnehmungen 2 versehen. Eine metallische Folie 3 ist auf das Substrat 1 mittels eines Klebers 4 laminiert. Die metallische Folie 3 ist in durch Rillen 5 voneinander elektrisch isolierte Kontaktflächen strukturiert. Ein Halbleiterchip 6 ist auf das Substrat 1 geklebt und mittels Drähte 7 mit den Kontaktflächen 3 elektrisch verbunden. Zur Versteifung des flexiblen Substrates 1 ist ein Versteifungsring 8 auf das Substrat 1 geklebt. Das Innere des Versteifungsringes 8 ist mit einer Vergussmasse 9 gefüllt, um den Chip 6 und die Drähte 7 zu schützen.

Das Aufbringen des Versteifungsrings ist problematisch, da relativ hohe Lagetoleranzen vorgegeben sind und außerdem spezielle, aufwendige Werkzeuge hierfür notwendig sind. Insgesamt ergibt sich eine sehr schwierige und aufwendige Prozeßführung. Außerdem wird durch den bekannten Versteifungsring die zur Klebung des Trägerelementes in die Karte nötige Fläche eingeschränkt.

Die Aufgabe der Erfindung ist es daher, ein Trägerelement anzugeben, daß einerseits eine genügend große Biegesteifigkeit aufweist und andererseits einfach herzustellen ist.

Die Aufgabe wird durch ein Trägerelement gemäß dem Anspruch 1 und einem Verfahren zur Herstellung des Trägerelementes gemäß dem Anspruch 6 gelöst. Vorteilhafte Weiterbildungen sind in den Unteransprüchen angegeben.

Die erfindungsgemäß ausgebildete Versteifungsfolie hat den Vorteil, daß zu ihrer Herstellung und Weiterverarbeitung dieselben oder ähnliche Verfahrensschritte durchgeführt werden wie bei der Herstellung des Trägersubstrates oder des bekannten Trägerelementes. Dies sind Stanz- bzw. Laminierverfahrensschritte. Da die Versteifungsfolie außerdem dieselbe Außenabmessung hat wie das Trägerelement, können zum Laminieren dieselben Maschinen benutzt werden wie zum La-

minieren der die Kontaktflächen bildenden Kupferfolie.

Die Trägerelemente werden normalerweise in einem sehr langen Band gefertigt, wobei mehrere Trägerelemente sogar nebeneinander liegen können. Das Band weist an seinen Rändern Perforationen auf, mittels derer es in der Fertigungsmaschine weiterbefördert werden kann. Wenn auch die Versteifungsfolie diese Löcher aufweist, kann sie in gleicher Weise wie das flexible Trägersubstrat oder die Kontaktflächenfolie befördert und verarbeitet werden.

Da der durch Tiefziehen und Stanzen entstandene Rahmen entlang des Randes der Ausnehmung in der Versteifungsfolie nur dieselbe Dicke hat wie die Kupferfolie selbst, bleibt im Bereich außerhalb dieses Rahmens genügend Platz für einen Kleber, um das Trägerelement in einer Karte befestigen zu können. Die Dicke der Versteifungsfolie kann abhängig von der gewünschten Gesamtbiegesteifigkeit sowie den Materialeigenschaften der verwendeten Folie gewählt werden.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels mit Hilfe von Figuren näher erläutert. Dabei zeigen

Fig. 1a-1d die Verfahrensschritte zur Herstellung der erfindungsgemäßen Versteifungsfolie sowie eine Draufsicht der fertigen Folie,

Fig. 2a-2c das flexible Trägersubstrat, die Versteifungsfolie sowie die Verbindung dieser beiden Teile,

Fig. 3 einen Querschnitt durch ein erfindungsgemäßes Trägerelement und

Fig. 4 ein Trägerelement gemäß dem Stand der Technik.

In der Fig. 1a ist der Querschnitt durch eine auf die entsprechende Dicke gewalzte metallische Versteifungsfolie dargestellt. In der Fig. 1b sind die durch einen Tiefziehvorgang entstandenen Wannen 11 gezeigt. In einem Stanzvorgang werden die Böden der Wannen 11 entfernt, so daß lediglich die Wände der Wannen 11 als Rahmen 12, die einstückig mit der Versteifungsfolie 10 verbunden sind und entlang des Randes der durch die vormaligen Wannen 11 definierten Ausnehmung in der Folie verlaufen.

Die Fig. 1d zeigt eine Draufsicht auf eine erfindungsgemäße Versteifungsfolie 10, die als langes Band ausgebildet ist. Entlang der beiden Ränder des Bandes sind Perforierungen 13 angebracht, die einen Weitertransport des Bandes mittels Zahnrädern erlauben. Die Folie 10 weist Ausnehmungen 14 auf, entlang deren Ränder die Rahmen 12 verlaufen. Strichliert ist der Schnitt dargestellt, der die Darstellung der Fig. 1c bildet.

In Fig. 2b ist diese erfindungsgemäße Versteifungsfolie nochmals gezeigt. Die Fig. 2a zeigt das flexible Trägersubstrat 15, das aus einem Kunststoff gebildet sein kann, wobei heutzutage üblicherweise glasfaserverstärktes Epoxidharz verwendet wird. Auch das Trägersubstrat 15 ist als langes Band ausgebildet und weist an seinen Rändern Perforierungen 13 zum Weitertransport und exakten Positionieren bei Weiterverarbeitungen auf. Das Trägersubstrat 15 weist Stanzungen 16 auf, in die ein nicht dargestellter Halbleiterchip eingesetzt und durch die hindurch dieser Halbleiterchip mit nicht zu erkennenden Kontaktflächen auf der Rückseite des Trägersubstrates 15 elektrisch verbunden werden kann. In der Fig. 2c ist schließlich die mit dem Trägersubstrat 15 verbundene Versteifungsfolie 10 dargestellt. Die Stanzungen 16 des Trägersubstrates 15 befinden sich innerhalb des einstückig mit der Versteifungsfolie 10 verbundenen Rahmens 12, so daß ein nicht dargestellter Halbleiterchip problemlos in die zentrale Ausnehmung ein-

gesetzt werden kann und durch die peripheren Ausnehmungen im Trägersubstrat 15 mit den auf der Rückseite des Trägersubstrates vorgesehenen, nicht zu sehenden, Kontaktflächen verbunden werden kann.

Fig. 3 zeigt einen Querschnitt durch ein aus dem Band ausgestanztes Trägerelement. Das nicht-leitende, flexible Trägersubstrat 15 weist in diesem Fall nur peripherie durch Stanzen entstandene Ausnehmungen 16 auf. Auf seiner Rückseite ist eine metallische Folie 20, die durch Rillen 22 in Kontaktflächen strukturiert ist mittels eines Klebers 21 laminiert. Auf das Trägersubstrat 15 ist ein Halbleiterchip 23 angeordnet, der mittels Bonddrähte 24 durch die Ausnehmungen 16 des Trägersubstrates 15 mit den Kontaktflächen 20 verbunden ist. Auf der dem Halbleiterchip 23 tragenden Vorderseite des Trägersubstrates 15 ist die erfundungsgemäße Versteifungsfolie 10 mittels eines Klebers auflaminiert. Der Bereich innerhalb des mit der Versteifungsfolie 10 einstückig verbundenen Rahmens 12 ist mit einer Vergußmasse 25 zum Schutz des Halbleiterchips 23 und der Bonddrähte 24 aufgefüllt.

Wie im Vergleich mit der Fig. 4 zu sehen ist, verbleibt beim erfundungsgemäßen Trägerelement eine größere Fläche im Bereich des Randes des Trägerelementes um dieses besser in eine Plastikkarte einkleben zu können.

Die Fig. 1 bis 4 zeigen ein nicht-leitendes Trägersubstrat 15 bzw. 1, das eine die Kontaktflächen bildende Metallkaschierung 20 bzw. 3 aufweist. Prinzipiell ist es jedoch ebenso möglich, ein leitendes, beispielsweise metallisches, Trägersubstrat zu verwenden.

Außerdem ist es ebenso denkbar, für das Material der Versteifungsfolie 10 Kunststoff zu wählen. Hierbei wären auch andere Herstellverfahren als Tiefziehen und Stanzen denkbar.

5

10

30

35

strat (15) laminiert.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, daß die Versteifungsfolie (19) aus Metall ist.

8. Verfahren nach Anspruch 6 oder 7, dadurch gekennzeichnet, daß das Substrat (15) eine nicht-leitende Folie ist, auf die auf der der Versteifungsfolie (10) gegenüberliegenden Seite eine leitende, in Kontaktflächen strukturierte Folie (20) laminiert wird.

Hierzu 3 Seite(n) Zeichnungen

Patentansprüche

1. Trägerelement für einen Halbleiterchip (23), insbesondere zum Einbau in Chipkarten, mit einem Chip (23) tragenden Substrat (15) und einer auf der den Chip (23) tragenden Seite des Substrats (15) auflaminierten Versteifungsfolie (10), die eine den Chip (23) und seine Anschlußleitungen (24) aufnehmende Ausnehmung (14) aufweist, deren Rand mit einem einstückig mit der Folie (10) ausgebildeten Rahmen (12) versehen ist.

2. Trägerelement nach Anspruch 1, dadurch gekennzeichnet, daß das Substrat (15) eine nicht-leitende Folie ist, auf die auf der dem Chip (23) gegenüberliegenden Seite eine leitende, in Kontaktflächen strukturierte Folie (20) laminiert ist.

3. Trägerelement nach Anspruch 1, dadurch gekennzeichnet, daß das Substrat (15) eine Metallfolie ist.

4. Trägerelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Versteifungsfolie (10) aus Metall ist.

5. Trägerelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Versteifungsfolie (10) aus Kunststoff ist.

6. Verfahren zur Herstellung eines Trägerelements mit den Schritten:

- in eine Versteifungsfolie (10) wird durch Tiefziehen eine Wanne (11) geformt,
- der Boden der Wanne wird ausgestanzt,
- die s mit einer Ausnehmung mit einem an der n Rand angeformten Rahmen (12) aufweisende Versteifungsfolie (10) wird auf ein Sub-

60

65

FIG 1a

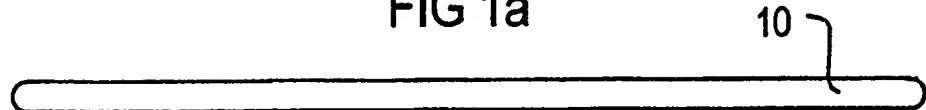


FIG 1b

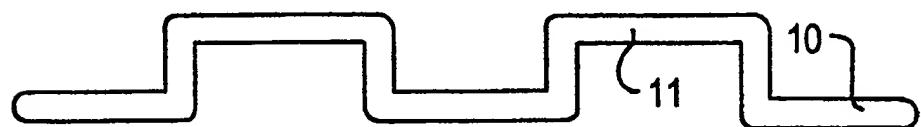


FIG 1c



FIG 1d

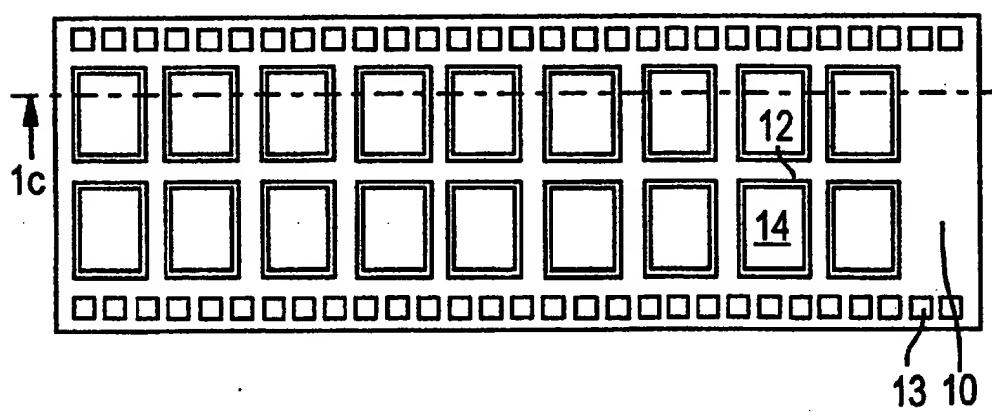


FIG 2a

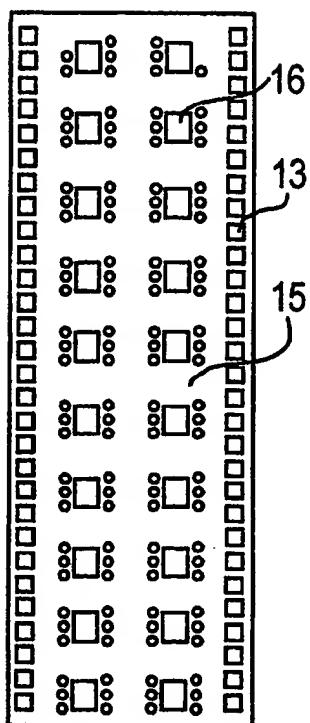


FIG 2b

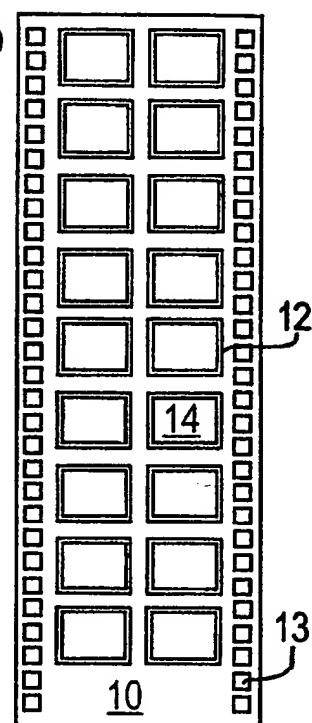


FIG 2c

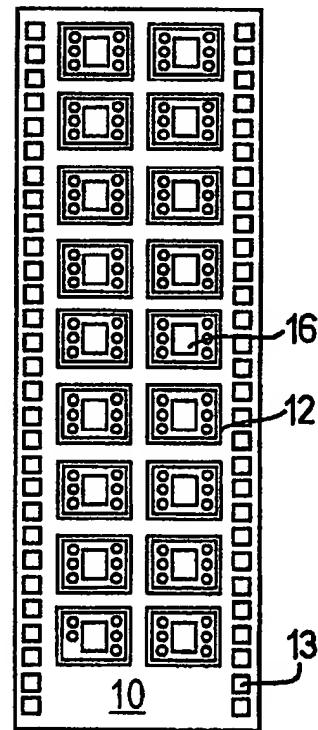


FIG 3

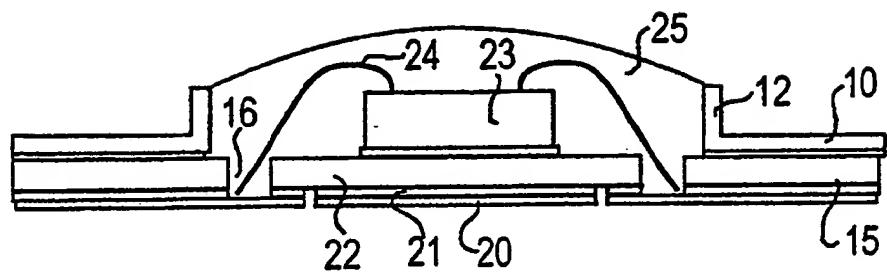


FIG 4

